

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-123466

(43)Date of publication of application : 23.04.1992

(51)Int.Cl.

H01L 27/04
G05F 3/24
G11C 11/407
H01L 27/108

(21)Application number : 02-242426

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 14.09.1990

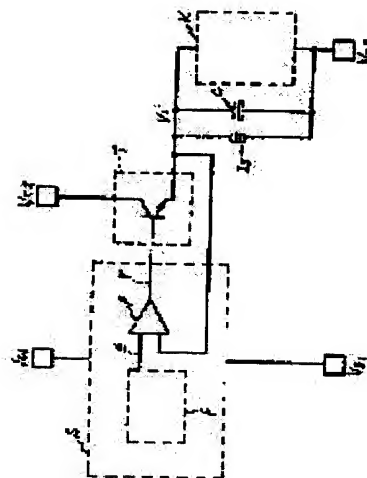
(72)Inventor : KAWAHARA TAKAYUKI
KAWAJIRI YOSHIKI
KITSUKAWA GORO
ITO KIYOO
AKIBA TAKESADA
KATO SHISEI
KAWASE YASUSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To stably operate an LSI in which an ON-chip voltage limiter is used, by separating the power sources of a reference voltage generator block and a comparator block from that of an output transistor, and supplying them from separate power source pads.

CONSTITUTION: Power for an output transistor T to be supplied to K in which a large transient current flows is supplied from a pad VC2, and power is supplied to a circuit block S including a reference voltage generator block F and a comparator block A from another power pad VC1. Thus, a large transient current flows to the transistor T to be alleviated by a bypass capacitor, and even if noise is induced in the power source, the blocks F, A are stably operated. Since a large current also flows to a low potential side of the K, a power pad VE2 of the K in which large transient current flows similarly to the low potential side is different bonding pad from a pad VE1 for the block S including the blocks F and A.



⑩ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-123466

⑬ Int.Cl.⁵

H 01 L 27/04

識別記号

D

庁内整理番号

7514-4M

8526-5L

8624-4M

G 11 C 11/34

H 01 L 27/10

3 5 4 F

3 2 5 V※

⑭ 公開 平成4年(1992)4月23日

審査請求 未請求 請求項の数 7 (全9頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-242426

⑰ 出 願 平2(1990)9月14日

⑱ 発 明 者 河 原 尊 之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 川 尻 良 樹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 橋 川 五 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 外部電源電圧と異なる内部電源電圧を第4の回路群に供給する第1の回路と基準電圧を発生する第2の回路と該基準電圧と該内部電源端子の電圧とを比較して第1の回路を制御する第3の回路とを有する半導体装置において、第1の回路の電源電圧供給用のボンディングパッドと第2及び第3の回路の電源電圧供給用のボンディングパッドのうち、少なくとも一つは別パッドとしたことを特徴とする半導体装置。

2. 該第1の回路をバイポーラトランジスタを用いて構成したことを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 該第2の回路をバイポーラトランジスタのバンドギャップジェネレータを用いて構成したことを特徴とする特許請求の範囲第1項または第2項記載の半導体装置。

4. MOSトランジスタで構成されたメモリセルを含むことを特徴とする特許請求の範囲第1項または第2項または第3項記載の半導体装置。

5. 該内部電源端子と外部電源端子との間に挿入するバイパスコンデンサをMOSトランジスタのゲート・チャネル間容量で構成したことを特徴とする特許請求の範囲第1項または第2項または第3項または第4項記載の半導体装置。

6. 該バイパスコンデンサを構成するMOSトランジスタが、デプレッション形であることを特徴とする特許請求の範囲第5項記載の半導体装置。

7. 該デプレッション形MOSトランジスタのチャネル領域をそのMOSのゲート層形成以前に形成し、かつソース及びドレイン領域と同一導電形層のウエル領域に形成することを特徴とする特許請求の範囲第6項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は外部電源電圧と異なる内部電圧の発生

回路を有する集積回路(LSI)の電源用ボンディングパッドの構成に関するものである。

【従来の技術】

従来、バイポーラトランジスタによるECL形集積回路のピン構成については、「モトローラ社MECLⅢシリーズハンドブック」または「日立ICメモリデータブック」に示されている。

これらによればECL回路のDout用トランジスタのコレクタの印加電圧 V_{cc_1} と、その他回路への印加電圧 V_{cc_2} とを、別個のピンから供給している。こうして出力負荷容量の充放電時に過渡電流により V_{cc_1} の電圧が変動しても、 V_{cc_2} や V_{cc_1} が印加される内部回路には影響を及ぼさないで、回路の安定動作を保証できる。

【発明が解決しようとする課題】

チップ内で外部印加電圧と異なる内部電圧を発生しこの電圧で多数のMOSまたはバイポーラ回路を動作させるいわゆるオンチップ電圧リミッタ方式を用いたLSIでは、上記と同様な以下の状況が生じる。

達成できる。

【作用】

上記手段により、出力トランジスタに大きな過渡電流が流れても、基準電圧発生回路ブロック及び比較回路ブロックには別の電源パッドから電流が供給されるため、これらは安定に動作することができる。また、この結果基準電圧の発生及び出力トランジスタの制御が良好に行なえるため内部電源端子から所望の電圧と電流を供給でき、LSI全体が安定動作となる。

【実施例】

以下、本発明の実施例を説明する。

第1図は、本発明の第1の実施例を示す図である。

第1図において、Fは基準電圧発生回路ブロックであり、その出力端子はE、Aは比較回路ブロックでありその出力端子はPである。上記回路ブロックAおよびFを合わせてブロックSで示す。Tは出力トランジスタでありその出力端子は V_L である。出力トランジスタには、ここではバイポ

すなわちオンチップ電圧リミッタは、①基準電圧を発生する回路ブロック(基準電圧発生回路ブロック)、②基準電圧と発生電圧とを比較し出力トランジスタを制御する回路ブロック(比較回路ブロック)、③出力トランジスタとから構成されるが、オンチップ電圧リミッタの出力には、CMOS回路のように充放電時のみ電流が流れる多数の回路が接続される。このため、出力トランジスタには大負荷容量を充放電する際の大きな過渡電流が流れることとなり、これによって誘起される電源の雑音によって基準電圧が変動し、また比較回路の正常な動作が行なえなくなる。

本発明の目的は、このようなオンチップ電圧リミッタを用いるLSIの安定動作を図ることにある。

【課題を解決するための手段】

上記目的は、オンチップ電圧リミッタにおいて、基準電圧発生回路ブロック及び比較回路ブロックの電源と出力トランジスタの電源とを分離し、それぞれ別個の電源パッドから供給することにより

ーラトランジスタを用い、高い電流供給能力で電源電流を供給しかつ V_{BE} ドロップを利用して微細MOSに必要な低い電圧を発生している。また、KはCMOS回路のように充放電時のみ電流が流れる回路ブロックであり、Cは端子 V_L の電圧変動を小さく抑えるためのバイパスコンデンサであり、 I_B は待機時にも一定電圧を発生するための小電流源である。 V_{c_1} 、 V_{c_2} は高電位側の電源パッドであり、 V_{e_1} 、 V_{e_2} は低電位側の電源パッドである。

これらの回路ブロックにおいて、大きな過渡電流が流れるKに供給する出力トランジスタT用の電源は V_{c_2} のパッドから供給し、FとAを含む回路ブロックSには、別個の電源パッド V_{c_1} から供給している。これにより、出力トランジスタTに大きな過渡電流が流れ、バイパスコンデンサによって緩和されるとはいえ電源に雑音が誘起されても、基準電圧発生回路ブロックF及び比較回路ブロックAは安定(高精度)に動作する。Kの低電位側にも大電流が流れるので、低電位側も同様に、

大過渡電流が流れるKの電源パッド V_{E2} は、基準電圧発生回路ブロックF及び比較回路ブロックAを含むブロックS用のパッド V_{E2} とは異なるボンディングパッドとしている。

本実施例によれば、大きな過渡電流が流れる出力トランジスタT用の電源パッド V_{C2} とは別に、基準電圧発生回路ブロックF及び比較回路ブロックAを含むブロックS用の電源パッド V_{C1} を設けたために安定な V_L を発生することができる。この V_L は、Sの出力端子Pの電圧より V_{BE} 低い電圧なので V_{C1} が安定すれば V_L も安定するからである。なお、両電源パッドには通常同電位の電圧を印加するが、用途に応じては異なった電圧を印加してもよい。 V_{E1} 、 V_{E2} も同様である。

また、バイパスコンデンサCを第1図に示したようにMOSを用いて構成する場合は、しきい値の小さな或いはデプレッション形のMOSを用いるとよい。こうすると V_L の電位に関係なく常に容量が形成されていることになる。このためには、特開昭62-119958に開示されているよう

な3重ウエル構造を用いて、ゲート直下にソース/ドレインと同一の導電層が常に存在するようにするとよい。

第1図では、出力トランジスタTにバイポーラトランジスタを用いたが、CMOSのみしか作成できないプロセスを用いる場合または温度補償・プロセス変動補償などの必要から或いは発生電圧と電源電圧との関係から、第2図及び第3図に示したように、MOSトランジスタを用いなければならないことがある。この場合も出力トランジスタT用の電源パッド V_{C2} と、基準電圧発生及び比較を行なう回路ブロックS用の電源パッド V_{C1} とを別個に設けることにより、安定動作が達成できる。

第4図は、第1図の実施例をさらに具体的に記載した実施例である。

基準電圧発生回路ブロックFは、バイポーラトランジスタを用いたバンドギャップジェネレータとバンドギャップジェネレータの出力端子BGの電圧から所望の基準電圧に変換し、端子Eに発生

する回路とエージング用の回路から成っている。これらの回路の詳細な構成及び動作については、同種の回路の説明がアイイーイーイー、ジャーナルオブソリッドステートサーキット、第24巻、第3号の第597頁から第602頁(IEEE, Journal of Solid-State Circuits, vol. 24, No. 3, pp. 597~602)に詳しいのでここでは省略する。

この回路ブロックFの特長は、端子Eに発生する基準電圧の温度依存性、プロセス依存性が小さいことである。なお、 V_R は後述のECL入力回路ブロックを構成するバイポーラカレントスイッチの参照電圧を発生する端子である。

回路ブロックAは、基準電圧と発生電圧とを比較し出力トランジスタの制御を行なう回路である。この図では、抵抗R、バイポーラ Q_1 、 Q_2 、MOSM₁及び電流源であるMOSM₂、M₂とからなる差動増幅回路で構成している。他の構成及び機能は第1図の実施例と同じである。

第4図の実施例の回路を用い、出力トランジスタT用の電源パッド V_{C2} と別の電源パッド V_{C1} から回路ブロックSへ供給することにより、温度依存性及びプロセス変動依存性が小さいという回路ブロックFの特長を保ったまま、さらに電源雑音の影響の無い基準電圧を発生することができる。この結果基準電圧の発生及び出力トランジスタの制御が精度良く行なえるため内部電源端子から所望の電圧と電流とを供給でき、LSI全体が安定動作となる。

さて、充放電時のみ電流が流れる回路ブロックKとしてはCMOS回路の他に様々なものが考えられる。ここでは、Kの中にダイナミックランダムアクセスメモリ(DRAM)のメモリアレーが含まれる場合について説明する。

DRAMはこれまで主にTTLインタフェースで用いられてきた。TTLインタフェースのDRAMの場合、回路はほとんど充放電時のみ電流が流れるような回路で構成される。このため、DRAM全体が回路ブロックKであると考えることが

できる。しかしながら、MOSの微細化及びBiCMOS化により高速なDRAMが可能となり、このような高速なメモリを用いるシステムで用いられているECLインタフェースのDRAMも開発されつつある。

ECLインタフェースの場合、入出力部にはバイポーラのカレントスイッチ回路を用いて回路を構成した方が簡便で高性能である。

バイポーラのカレントスイッチ回路では、電流はCMOS回路のように充放電時のみ流れるのではなく、常時一定の電流が流れている。すなわち、ECLインタフェースのDRAMでは入出力部のバイポーラのカレントスイッチ回路を主体とした一定電流の回路ブロックと、CMOSまたはBiCMOS回路で構成された例えばデコーダやワードドライバのように充放電時にのみ電流が流れるKと同じ性能の回路ブロックとからなることになる。

また、このバイポーラのカレントスイッチ回路では、内部高電位側電源電圧を端子VLの電圧の

回路ブロックSの安定動作が図れるのはもちろんのこと、一定電流が流れるバイポーラのカレントスイッチを主体にした回路ブロックI、Oも、充放電時のみに電流が流れる回路ブロックKによる電源雑音の影響を受けず安定動作となる。

第5図の実施例において、回路ブロックI、Oは共に一定電流が流れるバイポーラのカレントスイッチを主体にしたものである。このように性格の等しい回路ブロックの電源を第6図に示すように同じ電源パッドから給電すれば、電源パッドの数を減らすことができまた第5図の実施例の特長を合わせ持つことができる。

しかしながら、パッケージのピン数の制限から或いはレイアウト上の制限から電源パッドを第5図または第6図のように多数は設けることができない場合がある。この場合は、本発明である基準電圧の発生及び比較を行なう回路ブロックSの電源を専用の電源パッドから供給するのみとし、他のブロックI、T(K)、Oの電源は共通の電源パッドから供給する第7図の構成も有効である。

ように大きく下げることにはできない。しかし、Kを構成するCMOS回路は、MOSの微細化による耐圧低下のため低い内部高電位側電源電圧が必要となる。これらの条件を考慮してECLインタフェースのDRAMを構成した場合の実施例を以下に述べる。

第5図～第7図は、第1図の実施例をECLインタフェースのDRAMに適用した実施例を回路ブロックで示した図である。これらの図において、Iはバイポーラのカレントスイッチを主体とした入力回路ブロック、Kはメモリセルを含みかつデコーダ、ワードドライバのように充放電時のみに電流が流れる回路ブロック、OはIと同じくバイポーラのカレントスイッチを主体とした出力回路ブロックである。なお、I、Oの給電も、必要に応じてオンチップ電圧リミッタを設けこれから行なってもよい。

第5図の実施例では、ブロックI、O、T、S各々専用の電源パッドを設けている。このような構成を用いれば、基準電圧発生及び比較を行なう

この構成では、例えば、共通の電源パッドからまず一定電流が流れる回路ブロックI、Oに電流を供給し、次に出力トランジスタTを介して充放電時のみに電流が流れる回路ブロックKに電流を供給するとよい。このようにすれば、基準電圧の発生及び比較を安定に行なうことができるという本発明の特長を持つのはもちろんのこと、一定電流が流れる回路ブロックI、Oも安定に動作でき、全体として安定動作となる。実際のLSIでは、パッケージのピン数の制限から第7図の実施例の構成になることが多いが、上述の構成で本発明を用いることにより第5図、第6図の実施例と同じ安定動作を達成できる。

第8図は、第7図の実施例を具体的にDRAMに適用した場合の主要な回路を示した図である。

本図において、IはECLインタフェースの入力回路ブロックであり、ここではアドレスバッファ回路の一つを例に示している。Kは主に充放電時のみに電流が流れる回路ブロックであり、ここではデコーダ回路PD、ワードドライバWD、メ

メモリセルアレーM、メモリセルアレー中のリライ
トアンプRA、端子YSに印加されるY選択信号
で制御されるMOS差動回路(MD₁, MD₂, MD₃,
MD₄)等を1データ線対について示している。

Wはワード線であり、D、/Dはデータ線、
Dcはダイレクトセンスアンプの出力であるコモ
ンデータ線である。端子C₁にはチップイネイ
ブル信号/CEから発生した信号電圧が印加される。
Oは出力回路ブロックであり、ここではコモ
ンデータ線Dcの電流信号を増幅してデータバス線D_B
に伝えるプリアンプ回路、データバス線D_Bの電
流信号をDout信号に変換するメインアンプ回路
を示している。端子MAには複数のプリアンプ
がある場合にどのプリアンプを選択するかの信号
電圧が印加され、端子/OE1には待機時に出力
を低レベルにするための信号電圧が印加されてい
る。

なお、V_{cc}は第5図～第7図では省略したが、
従来の技術で述べたDoutトランジスタ用の電源
パッドである。また、端子V_oがゲートと接続さ

れているMOSは電流源用のMOSである。

オンチップ電圧リミッタでは3種の内部電圧端
子V_{L1}, V_{L2}, V_{L3}にそれぞれ異なる電圧を発生
し、V_{L1}からはデコーダ回路に、V_{L2}からはワー
ドドライバに、V_{L3}からはリライトアンプRAを
介してデータ線にそれぞれ給電している。S₁は
端子V_{L1}用の基準電圧発生及び比較を行なう回路
でありT₁はその出力トランジスタ、S₂, T₂及
びS₃, T₃は、それぞれV_{L2}, V_{L3}用の同様の回
路である。ここで、例えばS₁, S₂, S₃内のバ
ンドギャップジェネレータ等を共用してもよい。

また第8図では省略しているが、端子V_{L1}と端
子V_{E1}, V_{L2}とV_{E2}, V_{L3}とV_{E3}との間には、第
1図に示したようにバイパスコンデンサを設けて
電源雑音を緩和するのが望ましい。本実施例によ
れば、オンチップ電圧リミッタ中の基準電圧発生
及び比較を行なう回路ブロックS₁, S₂, S₃の
電源を、専用の電源パッドV_{cc1}, V_{cc2}から給電し
ているため、出力トランジスタT₁, T₂, T₃か
ら給電される充放電時のみ電流が流れる回路プロ

ックKによる電源雑音の影響を受けずに安定動作
を図ることができる。また、端子V_oやV_{R1}等に
印加する電圧も安定であることが要求されるため、
V_{cc1}, V_{cc2}から給電される回路で発生させるとよ
い。

本発明の目的は、オンチップ電圧リミッタ中の
基準電圧発生及び比較を行なう回路の電源を専用
の電源パッドから給電し、充放電時のみ電流が流
れる回路ブロックによる電源雑音の影響を受けず
に安定動作を図ることにある。これは広く、LS
Iを複数の回路ブロックに分け、特に大負荷容量
を充放電する回路ブロック、或いは特に安定な電
源電圧を必要とする回路ブロックには、その他の
通常回路とは別の専用の電源パッドから電源を印
加する構成で安定動作を図ることだといえる。第
9図にこのように本発明の概念を拡大した実施例
を示す。DRAMを例にしている。

第9図では、DRAMの1チップ上の電源用ボ
ンディングパッド(V_{ccp}, V_{ccn}, V_{ccr}, V_{cco},
V_{ssp}, V_{ssn}, V_{ssr}, V_{ss0})から、各回路プロ

ックへの電源電圧の印加方法を示している。なお、
パッケージの外においてV_{ccp}, V_{ccn}, V_{ccr},
V_{cco}は正電源V_{cc}に、V_{ssp}, V_{ssn}, V_{ssr}, V_{ss0}
は負電源V_{ss}に接続される。TTLインタフ
ェースの場合、通常V_{cc}=5V, V_{ss}=0Vであ
り、ECLインタフェースの場合、通常V_{cc}=0
V, V_{ss}=−5.2Vである。

ブロックMはメモリセルアレーブロックであり、
メモリセルへの書き込みやリフレッシュ用の電
流をV_{ccn}, V_{ssn}から印加する。高速の大容量D
RAMでは、書き込み時にピーク値が200～
400mAのデータ線充放電電流が流れうるため
V_{ccn}, V_{ssn}には大きな雑音電圧が誘起されるの
で、専用のボンディングパッドから電流を供給し、
他回路の誤動作を防止する。

ブロックFは基準電圧発生回路ブロックであり、
オンチップ電圧リミッタ用の基準電圧や、ECL
インタフェースの入出力バッファ用参照電圧発生
回路や、定電流源駆動電圧発生回路からなる。こ
れらには、安定な電源電圧V_{ccp}, V_{ssr}を供給す

るために、専用のボンディングパッドから印加する。また、他にアナログ・デジタル混在形LSIでは、アナログ回路もこの回路ブロックに含まれる。

ブロックOは出力回路ブロックである。出力負荷容量を高速に充放電するときも電源電圧 V_{cc0} 、 V_{ss0} に大きな雑音電圧が誘起されるので、これらにも専用のボンディングパッドから印加する。また、ECLの出力のように出力レベルを精度良く制御する出力回路ブロックのうち、Dout用トランジスタを除く出力レベルを決めるためのカレントスイッチ回路には安定な V_{ccf} 、 V_{ssf} を供給すべきである。

ブロックPはその他の周辺回路ブロックであり、アドレスバッファ、デコーダ、ワードドライバやメインアンプ、制御回路等がある。このブロックには特別の安定性は要求されないが、他のブロックに大きな雑音電圧が印加されないように V_{ccf} 、 V_{ssf} として専用のボンディングパッドから供給し、先に述べた V_{ccn} 、 V_{ccf} 、 V_{cc0} 、 V_{ssn} 、

V_{ssf} 、 V_{ss0} と分離する。

以上のように構成すれば、大負荷容量を充放電する回路ブロック、或いは特に安定な電源電圧を必要とする回路ブロックには、その他の通常回路とは別に専用の電源パッドから電源を印加できるため、他回路ブロックによる雑音の影響を小さく抑えることができる。

第10図、第11図はボンディングパッドからパッケージのリードフレームへのワイヤボンディングの方法を示したものである。ここで、チップ上の配線遅延を等方的にするために、1987年アイエスエスシー、ダイジェストオブテクニカルペーパーズ、第316頁(1987 ISSCC, Digest of Technical Papers, p. 316)に示されているように、ボンディングパッドの配置は中央配置としている。

第10図はボンディングパッド毎に異なるリードフレームへ配線する方式、第11図は複数のボンディングパッドから共通のリードフレームへ配

線する方式である。第10図の方が電源がより完全に分離されるが、パッケージのピン数が増加する欠点がある。第11図の場合はやや雑音が増えやすいが、パッケージのピン数は減少できる利点がある。

なお高速のDRAMではボンディングワイヤやパッケージの持つインダクタンスによる雑音が問題となる。その解決策としてフリップチップ方式【アイビーエム ジャーナル オブ リサーチ アンド デベロップメント (IBM J. Res. & Dev., 13: p. 239, 1969) 参照】等のワイヤレスボンディング法が提案されている。これはチップの電極部に予めウエーハ工程でハンダバンプを形成しておき基板の導体パタンにフェイスダウンで位置合わせしてハンダ融着する方法である。このワイヤレスボンディング方式と本発明を組み合わせれば、さらに安定なDRAMを得ることができる。

以上、DRAMを例に本発明の実施例を述べてきたが、本発明はオンチップ電圧リミッタを用い

充放電時にのみ電流が流れる回路ブロックを持つ他のSRAM、EPROM、EEPROM等のメモリLSIや論理LSIに広く適用することができる。

【発明の効果】

本発明では、オンチップ電圧リミッタにおいて、基準電圧発生回路ブロック及び比較回路ブロックの電源と出力トランジスタの電源とを分離し、それぞれ別個の電源パッドから供給したことにより、出力トランジスタに大きな過渡電流が流れても、基準電圧発生回路ブロック及び比較回路ブロックには別の電源パッドから電流が供給されるため、これらは安定に動作することができる。

また、この結果基準電圧の発生及び出力トランジスタの制御が良好に行なえるため内部電源端子から所望の電圧と電流を安定に供給でき、LSI全体が安定動作となる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す回路ブロック図、第2図及び第3図は第1図において出力

トランジスタをMOSで構成した本発明の他の実施例を示す図、第4図は第1図の基準電圧発生回路及び比較回路を具体的に示した回路図、第5図～第7図はECLインタフェースのLSIに本発明を適用した場合の電源パッドの構成を示す平面図、第8図は第7図の構成においてDRAMの回路を具体的に示した回路図、第9図は本発明の概念を広げた場合の電源パッドの構成を示す平面図、第10図、第11図はワイヤボンディングの実施例を示す平面図である。

符号の説明

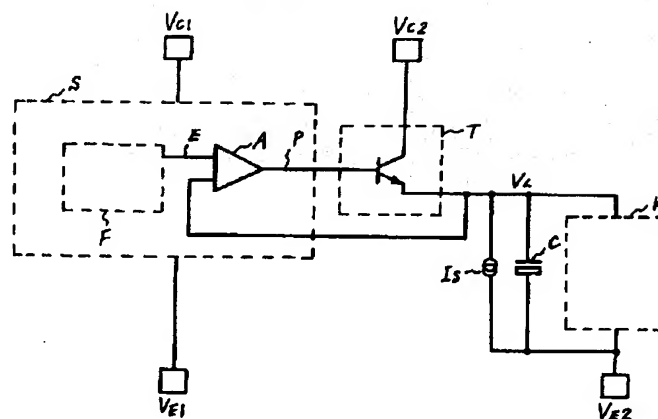
- F…基準電圧発生回路ブロック
- A…制御回路ブロック
- T…出力トランジスタ
- K…充放電時のみ電流が流れる回路ブロック
- C…バイパスコンデンサ
- I_s …待機時用电流源
- $V_{c1} \sim V_{c2}$ …高電位電源パッド
- $V_{e1} \sim V_{e2}$ …低電位電源パッド
- I…入力回路ブロック

- O…出力回路ブロック
- PD…デコーダ
- WD…ワードドライバ
- M…メモリセルアレー
- Dおよび/D…データ線
- Dc…コモンデータ線
- Ds…データバス線
- P…周辺回路

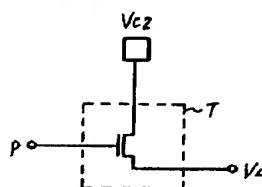
代理人 弁理士 小川 勝男



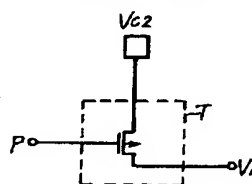
第1図



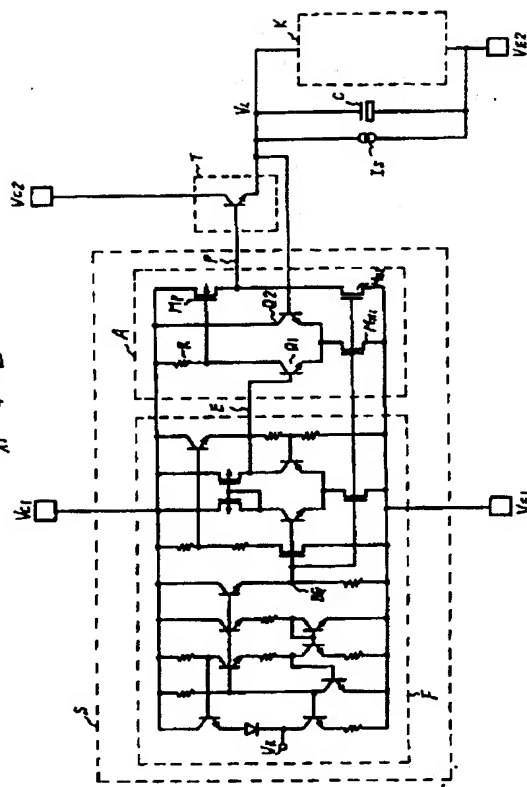
第2図



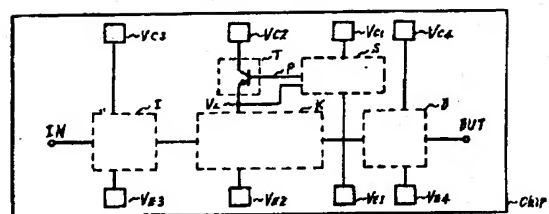
第3図



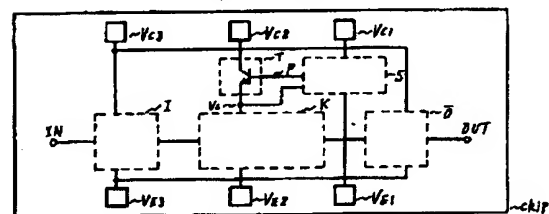
第 4 図



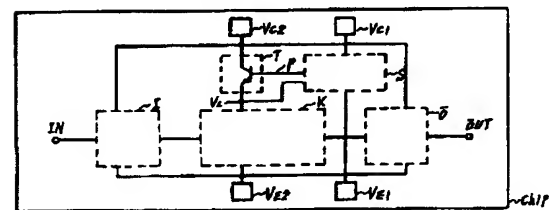
第 5 図



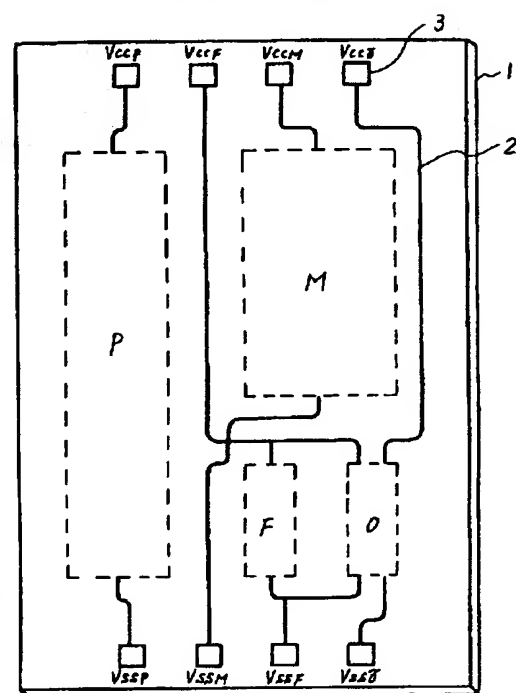
第 6 図



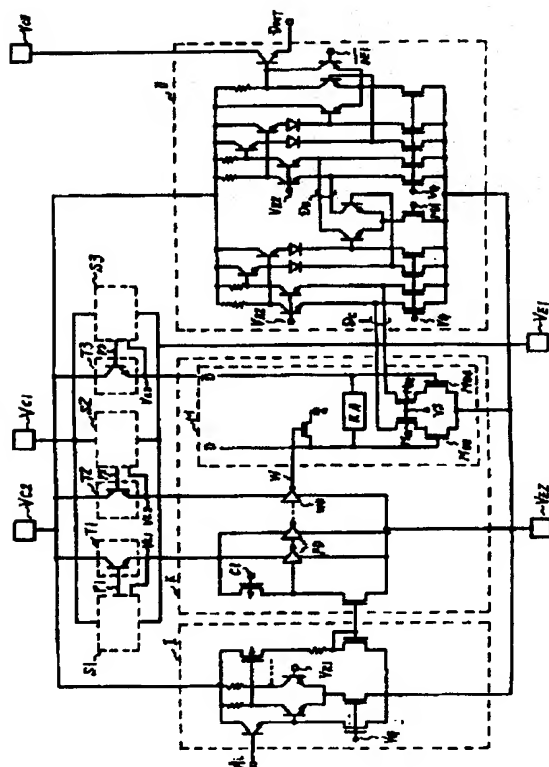
第 7 図



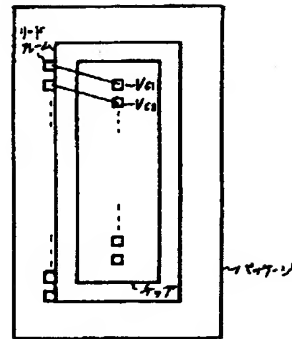
第 9 図



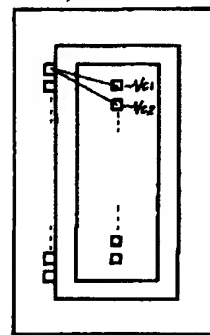
第 8 図



第 10 図



第 11 図



第 1 頁の続き

⑤Int. Cl. 9

G 05 F 3/24
G 11 C 11/407
H 01 L 27/108

識別記号

Z

庁内整理番号

8938-5H

- | | | | |
|------|----|----|-------------------------------------|
| ⑦発明者 | 伊藤 | 清男 | 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内 |
| ⑦発明者 | 秋葉 | 武定 | 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内 |
| ⑦発明者 | 加藤 | 至誠 | 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内 |
| ⑦発明者 | 川瀬 | 靖 | 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内 |